

Family list**2** family member for: **JP6232345**

Derived from 1 application

- 1 ELECTROSTATIC BREAKDOWN PREVENTIVE CIRCUIT IN SEMICONDUCTOR DEVICE AND FORMATION THEREOF**
Inventor: ANDO HIDEYUKI; KURACHI IKUO **Applicant:** OKI ELECTRIC IND CO LTD
EC: **IPC:** H01L27/04; H01L21/822; H01L27/04 (+2)
Publication info: JP3128334B2 B2 - 2001-01-29
JP6232345 A - 1994-08-19

Data supplied from the esp@cenet database - Worldwide

Patent number: JP6232345
Publication date: 1994-08-19
Inventor: ANDO HIDEYUKI; KURACHI IKUO
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- **International:** *H01L27/04; H01L21/822; H01L27/04; H01L21/70;*
(IPC1-7): H01L27/04
- **European:**
Application number: JP19920186989 19920714
Priority number(s): JP19920186989 19920714

Report a data error here

Abstract of JP6232345

PURPOSE:To provide an electrostatic breakdown preventive circuit in a semiconductor device of a structure, wherein while a sufficient resistance component of voltage drop to charge due to static electricity is kept, a wiring resistance in the whole circuit is made small and a reduction in a chip size is also made possible, and a method of forming the circuit. **CONSTITUTION:**A source/drain part 103 of an output transistor is formed on a silicon single crystal semiconductor substrate, then, contact holes 106, which make, a high-resistance wiring layer 104 connect with the part 103 of the transistor, are opened by a photolithography/etching technique and after that, the layer 104 is formed. Contact holes 105 are opened and an output pad 101 and an aluminum wiring 102 are formed. The constituent elements to obtain a resistance of a voltage drop component as an electrostatic breakdown preventive circuit are the sheet resistivity of the layer 104, the diameters of the contact holes 105 and 106 and the interval between the contact holes 103 and 104 and these three elements are combined with one another.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-232345

(43) 公開日 平成6年(1994)8月19日

(51) Int. Cl. ⁵

識別記号

F I

H01L 27/04

H 8427-4M

審査請求 未請求 請求項の数 2 O L (全3頁)

(21) 出願番号 特願平4-186989

(22) 出願日 平成4年(1992)7月14日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 安藤 秀幸

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 倉知 郁生

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 弁理士 鈴木 敏明

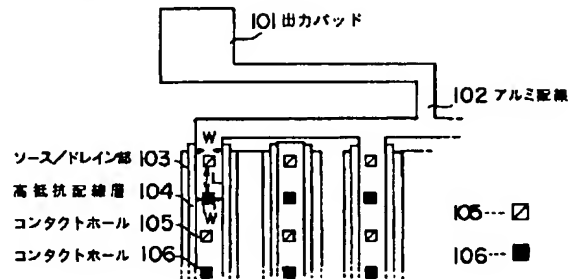
(54) 【発明の名称】 半導体デバイスにおける静電破壊防止回路およびその形成方法

(57) 【要約】

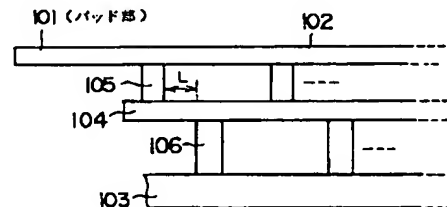
【目的】 静電気による電荷に対しては充分な電圧降下の抵抗分を保ちつつ、回路全体の配線抵抗を小さくし、チップサイズの縮小も可能とした半導体デバイスにおける静電破壊防止回路およびその形成方法を提供すること。

【構成】 シリコン単結晶半導体基板上に、出力トランジスタのソース/ドレイン部103を形成し、次に、高抵抗配線層104とトランジスタのソース/ドレイン部103とを接続させるコンタクトホール106をホトリソグラフィー/エッチング技術により開孔し、その後、高抵抗配線層104を形成する。そして、コンタクトホール105を開孔し、出力パッド101及びアルミ配線102を形成する。静電破壊防止回路としての電圧降下分の抵抗を得る構成要素としては、高抵抗配線層104のシート抵抗、コンタクトホール105、106の径、コンタクトホール103と104の間隔でありこれら3つの要素を組み合わせる。

(a)



(b)



静電破壊防止回路の実施例

1

【特許請求の範囲】

【請求項 1】 出力端子に加わった静電気より内部回路を保護する半導体デバイスにおける静電破壊防止回路において、

出力トランジスタのソース／ドレイン部となる拡散層の上に、第 1 のコンタクトホールを介して静電気による電荷の電圧降下を行う高抵抗配線層を配置し、

前記高抵抗配線層の上に第 2 のコンタクトホールを介して前記出力端子と接続される金属配線を配置したことを特徴とする半導体デバイスにおける静電破壊防止回路。 10

【請求項 2】 出力端子に加わった静電気より内部回路を保護する半導体デバイスにおける静電破壊防止回路の形成方法において、

トランジスタのソース／ドレイン部と高抵抗配線層を接続する第 1 のコンタクトホールを形成する工程と、前記高抵抗配線層と出力端子に連結する金属配線とを接続する第 2 のコンタクトホールを形成する工程とを含み、

前記第 1 のコンタクトホールと第 2 のコンタクトホールとが互いに隣接し合うようにパターン形成されることを特徴とする半導体デバイスにおける静電破壊防止回路の形成方法。 20

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は静電破壊防止回路、より具体的には半導体デバイスにおける出力端子側に設けられた保護回路に関する。

【 0 0 0 2 】

【従来の技術】 図 2 は従来の半導体デバイスにおける静電破壊防止機能を有する出力保護回路の一構成例を示すもので、(a) は平面図、(b) はその構成が理解しやすいように記載した断面図である。 30

【 0 0 0 3 】 同図において、符号 1 はアルミニウム合金などで形成される出力パッド、符号 2 は出力端子とポリシリコンなどで形成される高抵抗配線 3 とを結ぶコンタクトホール、符号 4 はその高抵抗配線層 3 と出力トランジスタへとつながるアルミニウム配線 5 とを結ぶコンタクトホール、符号 7 はそのアルミニウム配線 5 と N 型もしくは P 型の不純物拡散層で形成される入力トランジスタのソース／ドレイン部 6 を結ぶコンタクトホールである。 40

【 0 0 0 4 】 図 2 (a)、(b) の回路においては、出力パッド部 1 に静電気による電荷が印加された場合には出力トランジスタのソース・ドレイン間降伏により電流が流れるが、高抵抗配線層 3 による電圧降下によって出力トランジスタにかかるストレスを緩和させて、出力トランジスタを保護するというものであった。

【 0 0 0 5 】

【発明が解決しようとする課題】 しかしながら、図 2 (a)、(b) の回路では、出力パッド 1 と出力トラン 50

2

ジスタのソース／ドレイン部 6 との間に高抵抗配線層 3 が直列に接続されている。このため、高抵抗配線層 3 による配線抵抗分が大きくなり、デバイス全体の回路動作スピードが遅くなるという問題があった。また、高抵抗配線層 3 の占める面積が大きく、チップサイズの縮小化の妨げになるという問題があった。

【 0 0 0 6 】 本発明はこのような配線抵抗が大きくなる問題点とチップサイズの縮小化の妨げになるという問題点を除去し、静電気による電荷に対しては充分な電圧降下の抵抗分を保ちつつ、回路全体の配線抵抗を小さくし、チップサイズの縮小も可能とした半導体デバイスにおける静電破壊防止回路およびその形成方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段および作用】 本発明は上述の課題を解決するために、出力パッドに加わった静電気より内部回路を保護する半導体デバイスにおける静電破壊防止回路は、出力トランジスタのソース／ドレイン部となる拡散層の上に、第 1 のコンタクトホールを介して静電気による電荷の電圧降下を行う高抵抗配線層を配置し、高抵抗配線層の上に第 2 のコンタクトホールを介して出力パッドと接続される金属配線を配置した。

【 0 0 0 8 】 また、本発明によれば、出力パッドに加わった静電気より内部回路を保護する半導体デバイスにおける静電破壊防止回路の形成方法は、トランジスタのソース／ドレイン部と高抵抗配線層を接続する第 1 のコンタクトホールを形成する工程と、高抵抗配線層と出力パッドに連結する金属配線とを接続する第 2 のコンタクトホールを形成する工程とを含み、第 1 のコンタクトホールと第 2 のコンタクトホールとが互いに隣接し合うようにパターン形成される。

【 0 0 0 9 】

【実施例】 次に添付図面を参照して本発明による半導体デバイスにおける静電破壊防止回路およびその形成方法の実施例を詳細に説明する。

【 0 0 1 0 】 図 1 (a)、(b) は、静電破壊防止回路の一実施例を示す平面図及びその概略断面図である。以下、これら図を参照して本実施例を説明する。

【 0 0 1 1 】 まず、シリコン単結晶半導体基板上に、出力トランジスタのソース／ドレイン部 1 0 3 となる N 型の不純物拡散層をヒ素などをイオン注入することにより形成する。その後、常圧 CVD 法によりシリコン基板上に SiO₂ 膜を全面に生成させる。

【 0 0 1 2 】 次に、高抵抗配線層 1 0 4 とトランジスタのソース／ドレイン部 1 0 3 とを接続させるコンタクトホール 1 0 6 をホトリソグラフィ／エッチング技術により開孔させる。

【 0 0 1 3 】 その後、例えば減圧 CVD 法によりポリシリコンを堆積させてヒ素などのイオン注入を行い、このポリシリコン膜の抵抗を調整し、ホトリソグラフィ／

エッチング技術により高抵抗配線層104を形成する。

【0014】次に再び常圧CVD法により、 SiO_2 膜を堆積させる。その後、出力パッド101から続いているアルミ配線102と先述した高抵抗配線層104とを接続するコンタクトホール105をホトリソグラフィ／エッチング技術により開孔する。その後スパッタ法などによりアルミニウムを堆積させ、ホトリソグラフィ／エッチング技術により出力パッド101及びアルミ配線102を形成する。

【0015】ここで従来の回路と同等な電圧降下分の抵抗を得る構成要素としては、(1)高抵抗配線層104のシート抵抗、(2)コンタクトホール105、106の径、(3)コンタクトホール103と104の間隔であり、これら3つの要素を適宜組み合わせることで実現できる。

【0016】なぜなら配線の抵抗 R は $R = \rho_s \cdot L \cdot W$ で定義される。この場合、上述した(1)が ρ_s 、

(2)が W 、(3)が L に該当するからである。なお、図1に L と W の関係を図示した。

【0017】コンタクトホール103及び104の組を増やせば L 、 W 、 ρ_s で決まる抵抗 R が、出力パッド101とトランジスタのソース／ドレイン部103の間でみるとそれだけ並列に入ることになり回路全体としては配線抵抗が小さくなるという効果を生む。

【0018】またチップサイズの縮小化に関しては、図

1(a)と図2(a)を比較して明らかなように、出力パッド101とアルミ配線102の間に高抵抗配線層が無い場合、それだけ、パターンレイアウトを縮めることができる。

【0019】

【発明の効果】このように本発明によれば、静電気による電荷の電圧降下に必要な高抵抗配線層を、アルミ配線とトランジスタのソース／ドレイン部となる拡散層との間に配置することにより、出力パッドからソース／ドレイン部までの抵抗がコンタクト間の配線抵抗の並列配置により小さくなる。また、出力パッドとアルミ配線の間に高抵抗配線層が不要となるため、回路の動作スピードが速くなり、かつチップ面積の縮小化が図れることが期待できる。

【図面の簡単な説明】

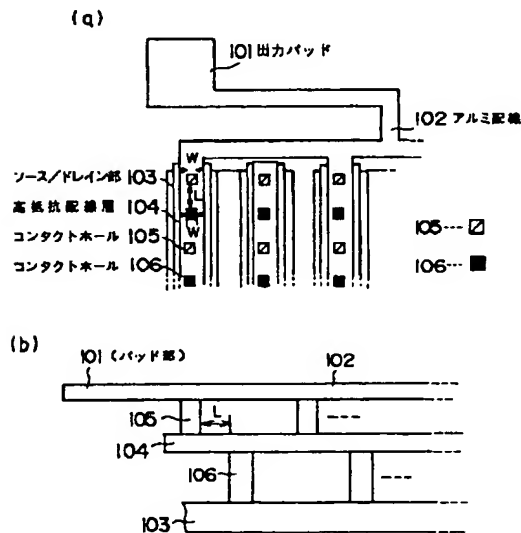
【図1】本発明の半導体デバイスにおける静電破壊防止回路の一実施例を示す平面及び断面。

【図2】従来の半導体デバイスの静電破壊防止回路である。

【符号の説明】

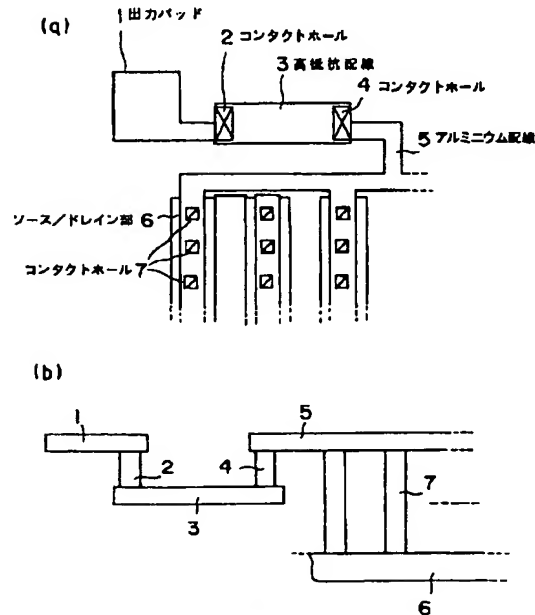
| | |
|---------|------------------|
| 101 | 入力パッド |
| 102 | アルミ配線 |
| 103 | トランジスタのソース／ドレイン部 |
| 104 | 高抵抗配線層 |
| 105、106 | コンタクトホール |

【図1】



静電破壊防止回路の実施例

【図2】



従来の静電破壊防止回路